

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-130895

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl.⁶

H 0 1 L 21/8249

27/06

識別記号

庁内整理番号

F I

技術表示箇所

9170-4M

H 0 1 L 27/ 06

3 2 1 C

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21)出願番号 特願平5-272876

(22)出願日 平成5年(1993)11月1日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中沢 宏行

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

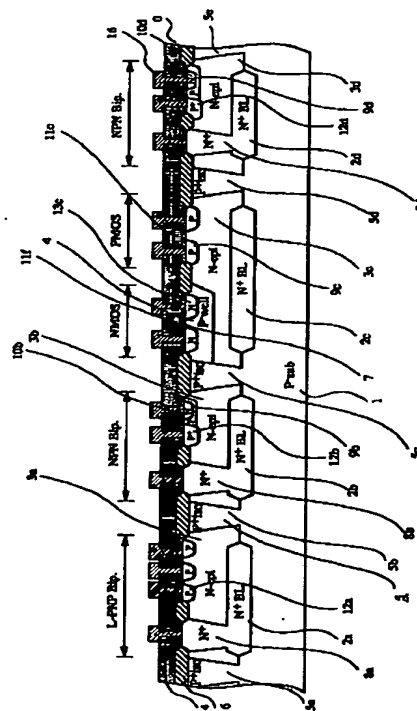
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体集積回路装置とその製造方法

(57)【要約】

【目的】 本発明では、バイポーラトランジスタ-MOSFET間の素子分離を完全に行うことができ、バイポーラトランジスタの分離耐圧を劣化させることなく、MOSFETのしきい値などの特性を向上させることができる。また、MOSFETのチャネル領域への制御のためのイオン注入を省略することができる。

【構成】 P型アイソレーション層5の不純物濃度をP-well層4のそれより 10^2 cm^{-3} 以上高くなるようにN型エピタキシャル層に不純物拡散を行い、半導体装置0を形成する。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上の表面に存在する第2導電型の第1の領域表面に形成されたバイポーラトランジスタと、

前記第1の領域に、第一導電型のアイソレーション領域を介して隣接する第2導電型の第2の領域表面に形成された第1導電型の第3の領域と、

前記第3の領域に形成された第2導電型のMOSFETとを具備し、

前記第1の領域と前記第3の領域との間に位置するアイソレーション領域の不純物濃度が、前記第3の領域の不純物濃度より高濃度であることを特徴とする半導体集積回路装置。

【請求項2】 第1導電型の半導体基板表面に第2導電型のエピタキシャル層を形成する工程と、

前記エピタキシャル層表面に存在する第2導電型のMOSFET形成予定領域に第1導電型の不純物を拡散させる工程と、

アイソレーション形成予定領域に第1導電型の不純物を前記MOSFET形成予定領域より不純物濃度が大きくなるように拡散させる工程とを具備することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置とその製造方法に関し、特にバイポーラトランジスタとMOSFETとを同一基板に形成するBiCMOS集積回路装置の構造及びその製造方法に関する。

【0002】

【従来の技術】 バイポーラトランジスタの高駆動能力とMOSFET(Field Effect Transistor)の高集積度を合せ持つBiCMOS集積回路装置は、高速SRAMやアナログ・デジタル混載分野で開発されてきており、その構造もいくつか提案されている。

【0003】 従来のBiCMOS集積回路装置を図18を用いて説明する。図18において、半導体基板101上にN型エピタキシャル層103が形成され、N型エピタキシャル層103b、103cにはそれぞれ縦型NPNバイポーラトランジスタ、PMOSFETが形成される。そして、半導体基板101とN型エピタキシャル層103の界面には高濃度のP型埋め込み層115が形成され、P型埋め込み層115の上部に接するようにしてイオン注入、拡散によりP-well層104が形成される。P-well層104の一部分であるP-well層104c表面にはNMOSFETが形成される。P型埋め込み層115b、115cが存在することでN型エピタキシャル層103bに形成される縦型NPNバイポーラトランジスタの素子分離が完全に行われ、N型エピタキシャル層103a表面に形成される横型PNPバイポーラトランジスタ、N型エピタキシャル層103c

表面に形成されるPMOSFETとの分離が確保される。これらP-well層104とP型埋め込み層115とは上記の他に、図に示すようにN型エピタキシャル層103aの左隣や、N型エピタキシャル層103cとN型エピタキシャル層103dとの間、N型エピタキシャル層103dの右隣にも形成され、N型エピタキシャル層103a表面に形成される横型PNPバイポーラトランジスタ、N型エピタキシャル層103d表面に形成される縦型NPNバイポーラトランジスタの素子分離を行っている。

【0004】 次に、従来のBiCMOS集積回路装置の製造方法について図13から図18までを用いて説明する。半導体基板101上の所定の領域にN型不純物、P型不純物をそれぞれイオン注入、気相拡散などの方法で導入し、半導体基板101上にN型エピタキシャル層103を成長させる。それと同時に上記N型不純物、P型不純物はN型エピタキシャル層103に拡散し、N型埋め込み層102、P型埋め込み層115を形成する。

【0005】 N型エピタキシャル層103形成後、図14に示すように、P型埋め込み層115に対応するN型エピタキシャル層103表面にP型不純物をイオン注入、気相拡散などの方法で導入し、熱拡散を行い、P-well層104を形成する。

【0006】 P-well層104形成後、図15に示すように、LOCOS工程により選択酸化膜106を形成し、露出したN型エピタキシャル層103表面に薄い酸化膜107を形成する。

【0007】 選択酸化膜106、薄い酸化膜107形成後、図16に示すように、N型エピタキシャル層103b、103c、103d上にP型不純物をイオン注入し、熱拡散し、ベース領域109b、109dを形成する。次に、P-well層104c、N型エピタキシャル層103c上の薄い酸化膜上にゲート電極111c、111fを形成する。

【0008】 ゲート電極111c、111f形成後、図17に示すように、N型エピタキシャル層103b、103d、P-well層104c上にN型不純物をイオン注入し、熱拡散し、エミッタ領域110b、110d、ソース、ドレイン領域113cを形成する。さらに続けて、N型エピタキシャル層103a、103b、103d上にN型不純物をイオン注入し、熱拡散し、N型高濃度領域108a、108b、108cを形成する。

【0009】 エミッタ領域110b、110d、ソース、ドレイン領域113c形成後、P型の不純物をイオン注入、熱拡散することによりエミッタ、コレクタ領域112a、ベース電極取り出し用不純物領域112b、112d、ソース、ドレイン領域109cを形成する。最後に、図18に示すように、選択酸化膜106、薄い酸化膜107の上面にCVD膜を形成し、電極形成部分にコンタクト孔を開け、電極を形成する。

10

20

30

40

50

【0010】

【発明が解決しようとする課題】図19(a)、図20(a)はP型埋め込み層115付近の拡大図であり、図19(b)、図20(b)は図19(a)、図20(a)のN型エピタキシャル層103に挟まれたP型埋め込み層115とP-well層104のA-A'間、B-B'間の不純物濃度を深さ方向に表した図であり、図19はN型エピタキシャル層の層厚が厚い場合、図20はN型エピタキシャル層の層厚が薄い場合を示したものである。図19(b)、図20(b)の不純物濃度曲線の原点はP-well層104の表面である。

【0011】図18に示すBiCMOS集積回路装置において、図19に示すようなN型エピタキシャル層103の層厚が比較的に厚い場合、図19(b)において点線で示すP型埋め込み層115の不純物濃度は原点A0では $1.04 \times 10^{14} \text{ cm}^{-3}$ 程度である。そのため、原点A0においてはP-well層の不純物濃度が支配的になり、P型埋め込み層115の不純物濃度がイオン注入の条件によってばらつきが生じたときでも原点A0において濃度に影響を与えることはないが、N型エピタキシャル層103の層厚が薄い場合、図20(b)に示すように原点B0における不純物濃度に対するP型埋め込み層115の不純物濃度の影響が無視できなくなり、P型埋め込み層115の不純物濃度がイオン注入の条件によってばらつきが生じたとき、原点B0における不純物濃度がばらつくという問題が生じる。これは、NMOSFETのしきい値電圧が不必要に大きくなったり、しきい値電圧のばらつきを大きくしてしまうなどの悪影響の原因となる。よって、NMOSFETのしきい値という点からはN型エピタキシャル層103の層厚は厚い方がよい。

【0012】ところが、NMOSFETの動作領域を考えると、P-well層104の表面濃度はNMOSFETのしきい値に合わせる必要があるため、イオン注入のドーズ量に制限が生じる。イオン注入はN型エピタキシャル層の表面に行うため、N型からP型に反転させる必要がある。深さ方向の不純物分布はガウス型分布になっているので、イオン注入のドーズ量によりP型反転層の深さが決まってくる。ゆえにP-well層104の不純物分布をNMOSFETの動作に最適な不純物濃度に合わせて形成したとすると、N型エピタキシャル層103との濃度のレベル差が小さくP型埋め込み層まで到達せず、素子分離が不可能となるため、P-well層104の層厚は厚くできない。

【0013】また、従来の製造方法においては、一回のイオン注入、熱拡散でNMOSFETのバックゲート領域であるP-well層104cの不純物濃度に合わせて他のP-well層104を形成するので、十分なバイポーラトランジスタの絶縁耐圧を得ることは不可能であり、素子分離を行うことを目的としてN型エピタキシャル層103にP-well層104を形成すると、N

MOSFETとしてはP型不純物の濃度が高すぎ、P-well層104表面にチャネル領域形成の為にN型不純物のイオン注入を行ってもしきい値を制御することはほぼ不可能である。

【0014】上記のような問題点に鑑み、本発明の半導体集積回路装置において、バイポーラトランジスタの素子分離を完全に行うことでバイポーラトランジスタとその外部領域との絶縁耐圧を確保しつつ、かつMOSFETのしきい値などの特性を劣化させることなく同一基板上に集積することを目的とし、本発明の半導体集積回路装置の製造方法では、チャネル領域形成のためのイオン注入を行う工程を省略することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するために本発明の半導体集積回路装置においては、第1導電型の半導体基板上の表面に存在する第2導電型の第1の領域表面に形成されたバイポーラトランジスタと、前記第1の領域に、第一導電型のアイソレーション領域を介して隣接する第2導電型の第2の領域表面に形成された第1導電型の第3の領域と、前記第3の領域に形成された第2導電型のMOSFETとを具備し、前記第1の領域と前記第3の領域との間に位置するアイソレーション領域の不純物濃度が、前記第3の領域の不純物濃度より高濃度であることを特徴とする。

【0016】次に、本発明の半導体集積回路装置の製造方法においては、第1導電型の半導体基板表面に第2導電型のエピタキシャル層を形成する工程と、前記エピタキシャル層表面に存在する第2導電型のMOSFET形成予定領域に第1導電型の不純物を拡散させる工程と、アイソレーション形成予定領域に第1導電型の不純物を前記MOSFET形成予定領域より不純物濃度が大きくなるように拡散させる工程とを具備することを特徴とする。

【0017】

【作用】本発明では、第1導電型の領域を素子分離領域とすることで、バイポーラトランジスタ-MOSFET間の素子分離を完全に行うことができる。また、第2導電型のMOSFETのバックゲート領域は前記第1導電型の領域とは異なる位置に形成されるのでバイポーラトランジスタの分離耐圧を劣化させることなく、MOSFETのしきい値などの特性を向上させることができる。さらに、第3の領域形成時にMOSFETの動作特性を考慮して第1導電型の拡散を行うことができるので、チャネル領域形成のためのイオン注入を行う工程を省略することができる。

【0018】

【実施例】本発明の第一の実施例である半導体集積回路装置を図1を用いて説明する。図1に示すように、半導体集積回路装置0において、P型の半導体基板領域1上には、N型埋め込み層2a、2b、2c、2dを介して

10

20

30

40

50

N型エピタキシャル層3a、3b、3c、3dがそれぞれ形成される。N型エピタキシャル層3aの表面にはエミッタ、コレクタ領域となるP型不純物層12a、ベース領域となり、N型埋め込み層2aと接合されるN型高濃度領域8aが形成される。N型エピタキシャル層3aの上面には薄い酸化膜7が形成されるが、P型不純物層12aの上部の薄い酸化膜7は除去され、P型不純物層12aが露出している。同様にN型高濃度領域8aの上部の薄い酸化膜7も除去され、N型高濃度領域8aが露出する。露出したP型不純物層12a、N型高濃度領域8aの上部には電極16が形成される。

【0019】この横型PNPバイポーラトランジスタの右に隣接する第1の領域であるN型エピタキシャル層3bの表面にはベース電極取り出し用のP型不純物領域12b、その右隣にベース領域9b、ベース領域9bに内包されるエミッタ領域10b、コレクタ領域となり、N型埋め込み層2bと接合されるN型高濃度領域8bが形成される。N型エピタキシャル層3bの上面には薄い酸化膜7が形成されるが、P型不純物領域12b、N型不純物領域10bの上部の薄い酸化膜7は除去され、P型不純物領域12b、N型不純物領域10bが露出している。同様にN型高濃度領域8bの上部の薄い酸化膜7も除去され、N型高濃度領域8bが露出する。露出したP型不純物領域12b、N型不純物領域10b、N型高濃度領域8bの上部には電極16が形成される。

【0020】このNPNバイポーラトランジスタの右に隣接する第2の領域であるN型エピタキシャル層3c中の左側表面には表面不純物濃度が $1 \times 10^{16} \text{ cm}^{-2}$ の第3の領域であるP-well層4が形成される。N型エピタキシャル層3cの表面とP-well層4の表面とは選択酸化膜6で仕切られており、P-well層4の表面にはソース、ドレイン領域13cが形成される。P-well層4の上面には薄い酸化膜7が形成されるが、ソース、ドレイン領域13c上部の薄い酸化膜7は除去され、ソース、ドレイン領域13cが露出している。露出するソース、ドレイン領域13cに挟まれた薄い酸化膜7の上面には磷をドーブしたポリシリコンからなるゲート電極11fが形成される。N型エピタキシャル層3cの表面にはソース、ドレイン領域9cが形成される。露出したN型エピタキシャル層3cの上部には薄い酸化膜7が形成されるが、ソース、ドレイン領域9c上部の薄い酸化膜7は除去され、ソース、ドレイン領域9cが露出している。露出するソース、ドレイン領域9cに挟まれた薄い酸化膜7の上面には磷をドーブしたポリシリコンからなるゲート電極11cが形成される。露出したソース、ドレイン領域13c、ソース、ドレイン領域9cの上部には電極16が形成される。また、図示しないがゲート電極11c、11f上にも電極配線が形成される。

【0021】このPMOSFETの右に隣接するN型エ

ピタキシャル層3dの表面にはベース電極取り出し用のP型不純物領域12d、ベース領域9d、ベース領域9dに内包されるエミッタ領域10d、コレクタ領域となり、N型埋め込み層2dと接合されるN型高濃度領域8dが形成される。N型エピタキシャル層3dの上面には薄い酸化膜7が形成されるが、P型不純物領域12d、N型不純物領域10dの上部の薄い酸化膜7は除去され、P型不純物領域12d、N型不純物領域10dが露出している。同様にN型高濃度領域8dの上部の薄い酸化膜7も除去され、N型高濃度領域8dが露出する。露出したP型不純物領域12d、N型不純物領域10d、N型高濃度領域8dの上部には電極16が形成される。

【0022】N型エピタキシャル層3aと、図示しないがその左側に隣接するN型エピタキシャル層との間にはP型アイソレーション層5aが、N型エピタキシャル層3aとN型エピタキシャル層3bとの間にはP型アイソレーション層5bが、N型エピタキシャル層3bとN型エピタキシャル層3cとの間にはP型アイソレーション層5cが、N型エピタキシャル層3cとN型エピタキシャル層3dとの間にはP型アイソレーション層5dが、N型エピタキシャル層3dと、図示しないがその右側に隣接するN型エピタキシャル層との間にはP型アイソレーション層5eがそれぞれ形成される。このP型アイソレーション層の表面不純物濃度は例えば $1 \times 10^{19} \text{ cm}^{-2}$ である。前述のようにN型エピタキシャル層の表面不純物濃度が $1 \times 10^{16} \text{ cm}^{-2}$ であるから、PN接合のジャンクション耐圧は50V以上となり、本発明においてはバイポーラトランジスタの動作電圧を8V程度と想定しているので、十分な絶縁耐圧を得ることができる。よって、バイポーラトランジスタ-バイポーラトランジスタ間、バイポーラトランジスタ-MOSFET間に高い不純物濃度の領域を形成し、NMOSFETのバックゲート領域であるP-well層4の不純物濃度をP型アイソレーション層5の不純物濃度の10-2倍以下とすることによりNMOSFETのしきい値電圧が過大な値になることを防ぐことができ、かつ高い不純物濃度の領域に空乏層が伸びることを抑えることで十分な絶縁耐圧を確保することができる。

【0023】次に、本発明の第一の実施例である半導体集積回路装置の製造方法について図を用いて説明する。まず、図2に示すように、数十 $\Omega \text{ cm}$ のP型の半導体基板1にN型不純物を気相拡散などによって注入する。次に、化学的気相成長(CVD)法によるエピタキシャル成長により0.45~0.55 $\Omega \text{ cm}$ 程度のN型エピタキシャル層3を形成する。それと同時にN型不純物は拡散し、図に示すような、不純物濃度が $1 \times 10^{19} \text{ cm}^{-2}$ 程度のN型埋め込み層が形成される。

【0024】N型エピタキシャル層3形成後、図3に示すようにリソグラフィ技術によってパターンニングされたマスク20を用いて、P型アイソレーション層形成予定

10

20

30

40

50

領域、P-well層形成予定領域にホウ素などP型の不純物を40KeVの加速電圧、 $5 \times 10^{12}(\text{cm}^{-2})$ のドーズ量でイオン注入する。

【0025】その後、図4に示すようにリソグラフィ技術によってパターンニングされたマスク21を用いて、P型アイソレーション層形成予定領域にホウ素などP型の不純物を40KeVの加速電圧、 $1 \times 10^{15}(\text{cm}^{-2})$ のドーズ量でイオン注入する。上記イオン注入後、図5に示すように、温度1100℃の一度の熱拡散により、P-well層4、P型アイソレーション層5を形成する。

【0026】上記各層形成後、図6に示すように、P型アイソレーション層の表面、N型エピタキシャル層の一部表面にLOCOS工程により選択酸化膜6を形成する。引き続き露出したN型エピタキシャル層3表面にゲート酸化膜となる薄い酸化膜7を形成する。これはイオン注入に対しN型エピタキシャル層3、P-well層4を保護するために用いられる。

【0027】薄い酸化膜7形成後、図7に示すようにN型エピタキシャル層3b、3dの表面にホウ素などP型不純物をイオン注入、熱拡散することで縦型NPNバイポーラトランジスタのベース領域9b、9dを形成する。

【0028】ベース領域9b、9d形成後、図8に示すように選択酸化膜6を含むN型エピタキシャル層3表面に不純物として燐を含んだポリシリコン11をCVD法により堆積する。

【0029】ポリシリコン11形成後、図9に示すようにリソグラフィ法を用いてポリシリコン11のパターンニングを行い、P-well層4に形成されるNMOSFETのゲート電極11f、N型エピタキシャル層3cに形成されるPMOSFETのゲート電極11cを形成する。

【0030】ゲート電極11c、11f形成後、図10に示すようにベース領域9b、9d表面とP-well層4表面にN型不純物をイオン注入し、拡散することでゲート領域9b、9dに内包される縦型NPNバイポーラトランジスタのエミッタ領域10b、10d、NMOSFETのソース、ドレイン領域13cを形成する。さらに続けて、N型エピタキシャル層3a、3b、3dの表面に燐などN型不純物をイオン注入することで横型PNPバイポーラトランジスタのベース取り出し用電極となるN型高濃度領域8a、縦型NPNバイポーラトランジスタのコレクタ取り出し用電極となるN型高濃度領域8b、8dを形成する。

【0031】N型高濃度領域8a、8b、8d形成後、図11に示すようにN型エピタキシャル層3a、3b、3c、3dにホウ素などP型の不純物をイオン注入し、拡散することで横型PNPバイポーラトランジスタのエミッタ、コレクタ領域12a、縦型NPNバイポーラト

ランジスタのベース電極取り出し用不純物領域12b、12d、PMOSFETのソース、ドレイン領域9cを形成する。

【0032】最後に、図1に示すように、例えばPSGであるCVD膜14をCVD法により選択酸化膜6を含む素子形成面全面に堆積し、N型高濃度領域8、横型PNPバイポーラトランジスタのエミッタ、コレクタ領域12a、縦型NPNバイポーラトランジスタのベース電極取り出し用不純物領域12b、12d、縦型NPNバイポーラトランジスタのエミッタ領域10b、10d、NMOSFETのソース、ドレイン領域13c、PMOSFETのソース、ドレイン領域9cの表面をパターンニングすることで露出させ、電極16をアルミニウムもしくは不純物を含むポリシリコンで形成する。

【0033】以上、本発明の第二の実施例において、P-well層4とP型アイソレーション層5とを一回の工程で形成することができ、かつP-well層4をNMOSFETの特性のみを考慮して設定できるため、一般的には必要である、MOSFETのチャネル領域への制御のためのイオン注入を省略することができる。

【0034】

【発明の効果】本発明により、バイポーラトランジスタ-MOSFET間の素子分離を完全に行うことができ、バイポーラトランジスタの分離耐圧を劣化させることなく、MOSFETのしきい値などの特性を向上させることができる。また、MOSFETのチャネル領域への制御のためのイオン注入を省略することができる。

【図面の簡単な説明】

【図1】 本発明の第一の実施例である半導体集積回路装置の断面図

【図2】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図3】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図4】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図5】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図6】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図7】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図8】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図9】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図10】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図11】 本発明の第一の実施例である半導体集積回路装置の製造工程図

【図12】 従来のBiCMOS集積回路装置の製造工程図

【図13】 従来のBiCMOS集積回路装置の製造工程図

【図14】 従来のBiCMOS集積回路装置の製造工程図

【図15】 従来のBiCMOS集積回路装置の製造工程図

【図16】 従来のBiCMOS集積回路装置の製造工程図

【図17】 従来のBiCMOS集積回路装置の製造工程図

【図18】 従来のBiCMOS集積回路装置の問題点を指摘するための図

【図19】 従来のBiCMOS集積回路装置の問題点を指摘するための図

【符号の説明】

0、100 半導体集積回路装置

1、101 半導体基板

2、2a、2b、2c、2d、102a、102b、102c、102d N型埋め込み層

3、3a、3b、3c、3d、103、103a、103b、103c、103d N型エピタキシャル層 *

* 4、104、104a、104b、104c、104d、104e P-well層

5a、5b、5c、5d、5e P型アイソレーション層

6、106 選択酸化膜

7、107 薄い酸化膜

8、8a、8b、8d、108a、108b、108d N型高濃度領域

9b、9d、109b、109d ベース領域

10 9c、109c ソース、ドレイン領域

10b、10d、110b、110d エミッタ領域

11 ポリシリコン

11c、11f、111c、111f ゲート電極

12a、112a エミッタ、コレクタ領域

12b、12d、112b、112d ベース電極取り出し用不純物領域

13c、113c ソース、ドレイン領域

14、114 CVD膜

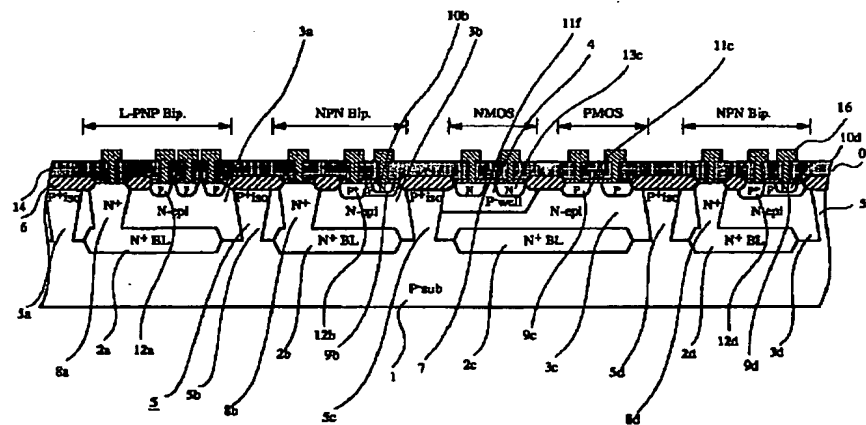
115a、115b、115c、115d、115e

P型埋め込み層

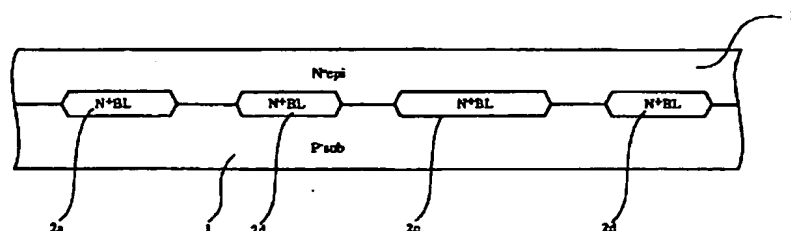
16 電極

20、21 マスク

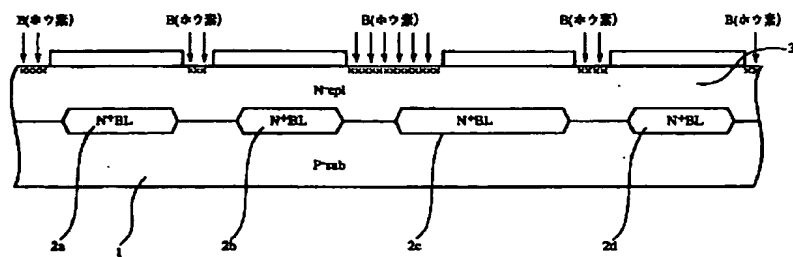
【図1】



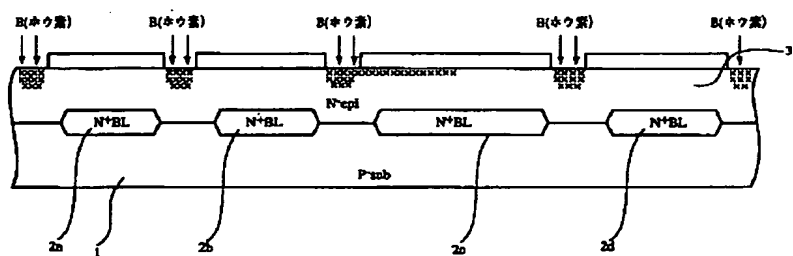
【図2】



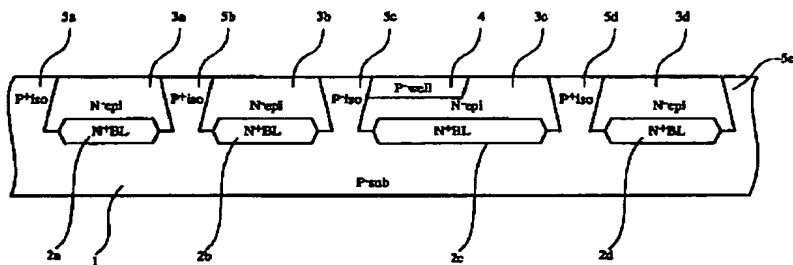
【図 3】



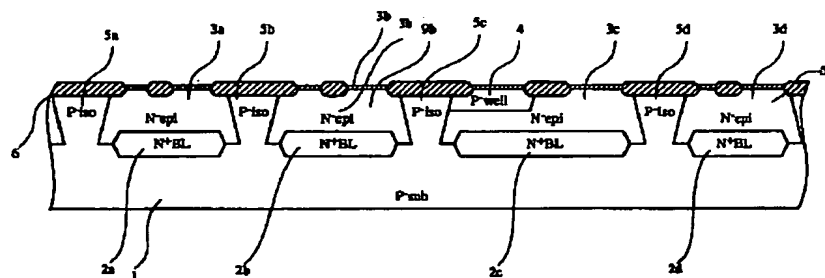
【図 4】



【図 5】



【図 6】



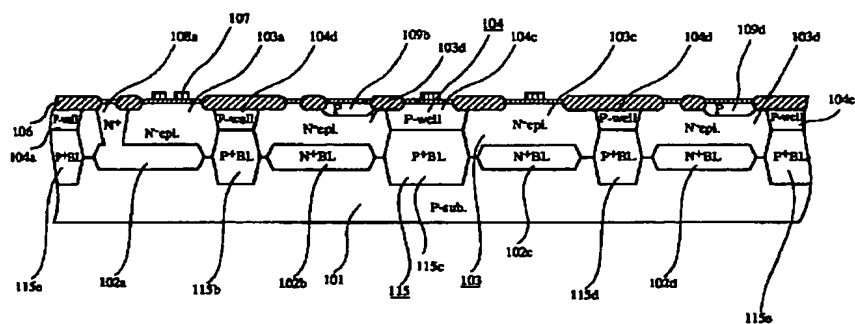
The diagram illustrates a multi-unit device 1, which is a cross-sectional view of a semiconductor structure. It consists of four identical units, labeled 2a, 2b, 2c, and 2d, arranged in a row. Each unit contains a stack of layers: a bottom P+sub layer, an N+BL layer, and an N+epi layer. The units are interconnected by a common P+sub layer. Various electrical contacts and interconnects are shown, labeled 3a through 3d, 4, 5, 6, 7, and 8. The diagram also shows a top layer 1 and a bottom layer 2.

This diagram shows a cross-sectional view of a semiconductor device. It features a substrate with a p-type region (P-sub) and an n-type region (N+BL). A central well (N+BL) is formed in the substrate. Above the substrate, there are several gates (1a, 1b, 1c, 1d) and a central gate (1e). The gates are labeled with 1a, 1b, 1c, 1d, and 1e. The central gate is labeled 1e. The gates are separated by spacers (2a, 2b, 2c, 2d). The spacers are labeled with 2a, 2b, 2c, and 2d. The gates are made of a material (3a, 3b, 3c, 3d) and are covered by a layer (4). The gates are connected to a common line (5a, 5b, 5c, 5d). The gates are labeled with 1a, 1b, 1c, 1d, and 1e. The spacers are labeled with 2a, 2b, 2c, and 2d. The gates are made of a material (3a, 3b, 3c, 3d) and are covered by a layer (4). The gates are connected to a common line (5a, 5b, 5c, 5d).

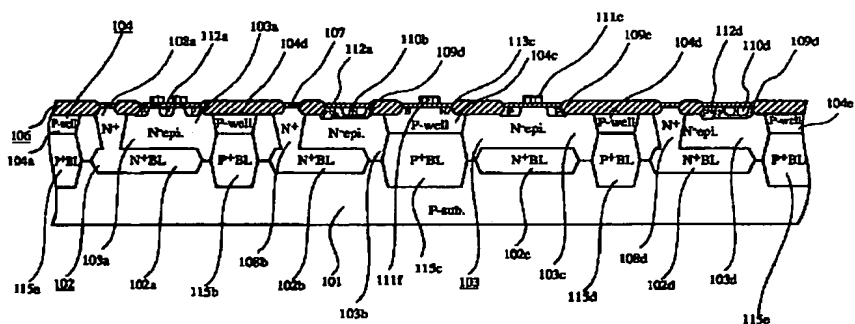
Diagram illustrating a semiconductor device 103. The device consists of a sequence of layers: P+BL, N+BL, P+BL, N+BL, N+cp, P+BL, N+BL, P+BL, N+BL, and P+BL. The layers are connected to a common line 101. Labels 115a through 115e point to the P+BL layers, and labels 102a through 102d point to the N+BL layers.

This diagram shows a cross-sectional view of a semiconductor device. A trench is formed in a substrate 101. The trench is divided into four segments by vertical dividers 103a, 103b, and 103c. Each segment contains a pair of electrodes: a bottom electrode 102a, 102b, 102c, or 102d, and a top electrode 104a, 104b, 104c, or 104d. The electrodes are separated by a dielectric layer 107. The trench is filled with a material 106a. The substrate 101 is shown with a cross-hatched pattern.

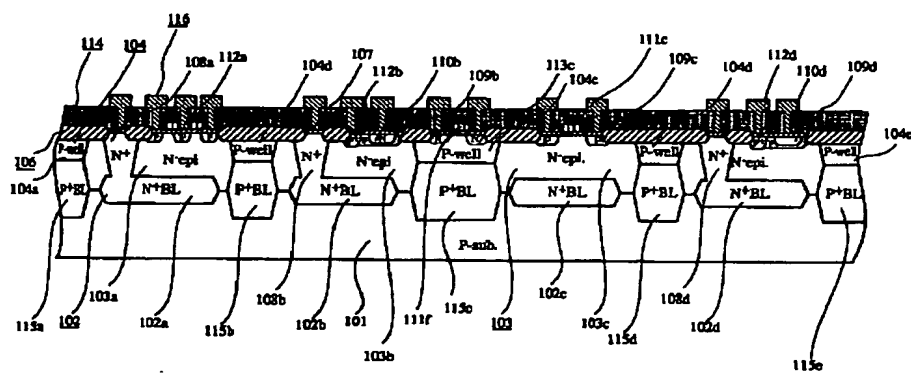
【図 15】



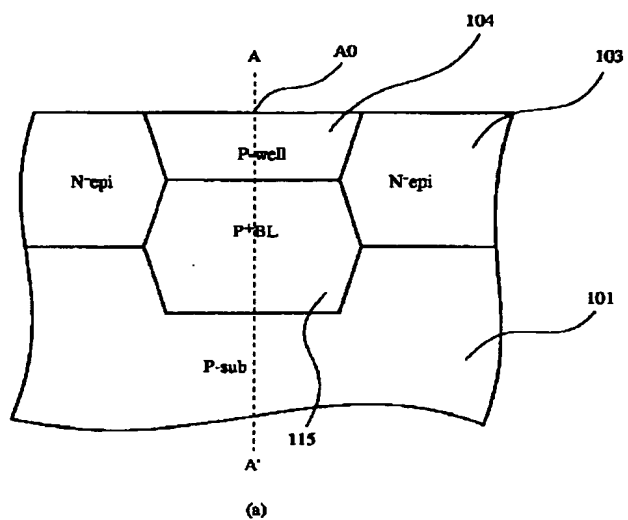
【図 16】



【图 17】



【図 18】



【図 19】

